

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-135770

(43)Date of publication of application : 21.05.1999

(51)Int.Cl.

H01L 29/20
H01L 21/205
H01L 29/778
H01L 21/338
H01L 29/812
H01L 29/80
H01L 33/00
H01S 3/18

(21)Application number : 09-266898

(71)Applicant : SUMITOMO CHEM CO LTD

(22)Date of filing : 30.09.1997

(72)Inventor : SAWAKI NOBUHIKO
HIRAMATSU KAZUMASA
HANAI HISAYOSHI
MATSUSHIMA HIDETADA
MAEDA NAOYOSHI
ONO YOSHINOBU

(30)Priority

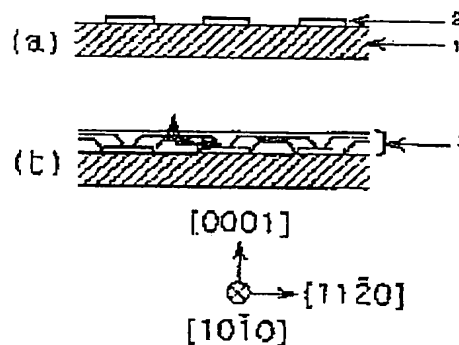
Priority number : 09235667 Priority date : 01.09.1997 Priority country : JP

(54) III-V COMPD. SEMICONDUCTOR, MANUFACTURE THEREOF AND SEMICONDUCTOR ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a III-V compd. semiconductor with a thin film having an embedded structure, III-V compd. semiconductor, and III-V compd. semiconductor light-emitting element.

SOLUTION: This III-V compd. semiconductor has a pattern 2 made of a material different from first and second III-V compd. semiconductors on a layer of the first III-V compd. semiconductor 1 shown by $\text{In}_u\text{Ga}_v\text{Al}_w\text{N}$ ($0 \leq u, v, w \leq 1, u+v+w=1$) and a layer 2 of the second III-V compd. semiconductor shown by $\text{In}_x\text{Ga}_y\text{Al}_z\text{N}$ ($0 \leq x, y, z \leq 1, x+y+z=1$) on the first III-V compd. semiconductor and the pattern 2 which is a line pattern of 1.0 μm wide or less, approximately parallel to the (1-100) orientation of the first III-V compd. semiconductor and made of the III-V compd. semiconductor.



LEGAL STATUS

[Date of request for examination]

28.02.2001

[Date of sending the examiner's decision of rejection] 29.03.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2005-07548

[Date of requesting appeal against examiner's decision of rejection] 27.04.2005

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-135770

(43)公開日 平成11年(1999) 5月21日

(51)Int.Cl.*	識別記号	F I
H 0 1 L 29/20		H 0 1 L 29/20
21/205		21/205
29/778		33/00
21/338		H 0 1 S 3/18
29/812		H 0 1 L 29/80
		C
		H
審査請求 未請求 請求項の数11 O L (全 13 頁) 最終頁に続く		

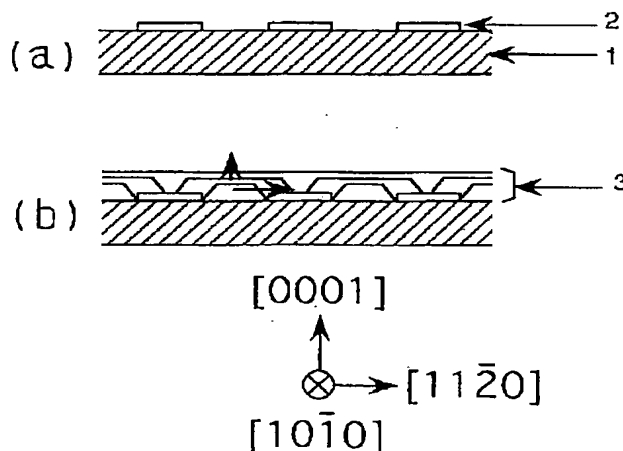
(21)出願番号	特願平9-266898	(71)出願人	000002093 住友化学工業株式会社 大阪府大阪市中央区北浜4丁目5番33号
(22)出願日	平成9年(1997) 9月30日	(72)発明者	澤木 宣彦 愛知県名古屋市中千種区北千種1-6-33 千種西住宅 3-103
(31)優先権主張番号	特願平9-235667	(72)発明者	平松 和政 三重県四日市市芝田1-4-22
(32)優先日	平9(1997) 9月1日	(72)発明者	花井 寿佳 兵庫県尼崎市南清水2-1
(33)優先権主張国	日本 (J P)	(74)代理人	弁理士 久保山 隆 (外1名)
特許法第30条第1項適用申請有り 1997年5月23日 社団法人電子情報通信学会発行の「電子情報通信学会技術研究報告 信学技報vol. 97 No. 59」に発表		最終頁に続く	

(54)【発明の名称】 3-5族化合物半導体とその製造方法および半導体素子

(57)【要約】 (修正有)

【課題】埋め込み構造を有する薄層の3-5族化合物半導体、および3-5族化合物半導体と3-5族化合物半導体発光素子を提供する。

【解決手段】 $In_uGa_vAl_wN$ ($0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ 、 $0 \leq w \leq 1$ 、 $u+v+w=1$) で表される第1の3-5族化合物半導体1からなる層の上に、第1の3-5族化合物半導体とも異なり、第2の3-5族化合物半導体とも異なる材料からなるパターン2を有し、第1の3-5族化合物半導体と該パターンの上に、一般式 $In_xGa_yAl_zN$ ($0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $x+y+z=1$) で表される第2の3-5族化合物半導体からなる層3を有する3-5族化合物半導体において、第1の3-5族化合物半導体の $[1-100]$ 方向に概ね平行なラインパターンである1. $0 \mu m$ 以下である3-5族化合物半導体。



【特許請求の範囲】

【請求項1】一般式 $I_{nu}Ga_vAl_wN$ (式中、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ 、 $0 \leq w \leq 1$ 、 $u+v+w=1$) で表される第1の3-5族化合物半導体からなる層の上に、前記の第1の3-5族化合物半導体とも異なり、後記の第2の3-5族化合物半導体とも異なる材料からなるパターンを有し、該第1の3-5族化合物半導体と該パターンの上に、一般式 $I_{nx}Ga_yAl_zN$ (式中、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $x+y+z=1$) で表される第2の3-5族化合物半導体からなる層を有する3-5族化合物半導体において、該パターンが第1の3-5族化合物半導体の $[1-100]$ 方向に概ね平行なラインパターンであり、該ラインパターンの幅が $1\mu m$ 以下であることを特徴とする3-5族化合物半導体。

【請求項2】第1の3-5族化合物半導体が一般式 Ga_vAl_wN (式中、 $0 \leq v \leq 1$ 、 $0 \leq w \leq 1$ 、 $v+w=1$) で表される3-5族化合物半導体であり、第2の3-5族化合物半導体が Ga_yAl_zN (式中、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $y+z=1$) で表される3-5族化合物半導体であることを特徴とする請求項1に記載の3-5族化合物半導体。

【請求項3】一般式 $I_{nu}Ga_vAl_wN$ (式中、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ 、 $0 \leq w \leq 1$ 、 $u+v+w=1$) で表される第1の3-5族化合物半導体からなる層の上に、前記の第1の3-5族化合物半導体とも異なり、後記の第2の3-5族化合物半導体とも異なる材料からなるパターンを形成し、次に該第1の3-5族化合物半導体と該パターンの上に、一般式 $I_{nx}Ga_yAl_zN$ (式中、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $x+y+z=1$) で表される第2の3-5族化合物半導体からなる層を成長する3-5族化合物半導体の製造方法において、該パターンとして第1の3-5族化合物半導体の $[1-100]$ 方向に概ね平行なラインパターンを形成し、かつ該ラインパターンの幅を $1\mu m$ 以下とすることを特徴とする3-5族化合物半導体の製造方法。

【請求項4】有機金属気相成長法により成長することを特徴とする請求項3に記載の3-5族化合物半導体の製造方法。

【請求項5】第1の3-5族化合物半導体が一般式 Ga_vAl_wN (式中、 $0 \leq v \leq 1$ 、 $0 \leq w \leq 1$ 、 $v+w=1$) で表される3-5族化合物半導体であり、第2の3-5族化合物半導体が Ga_yAl_zN (式中、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $y+z=1$) で表される3-5族化合物半導体であることを特徴とする請求項3または4に記載の3-5族化合物半導体の製造方法。

【請求項6】一般式 $I_{nu}Ga_vAl_wN$ (式中、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ 、 $0 \leq w \leq 1$ 、 $u+v+w=1$) で表される第1の3-5族化合物半導体からなる層の上に、前記の第1の3-5族化合物半導体とも異なり、後記の第2の3-5族化合物半導体とも異なる材料からなるパ

ターンを有し、該第1の3-5族化合物半導体と該パターンの上に、一般式 $I_{nx}Ga_yAl_zN$ (式中、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $x+y+z=1$) で表される第2の3-5族化合物半導体からなる層を有する3-5族化合物半導体素子において、該パターンが第1の3-5族化合物半導体の $[1-100]$ 方向に概ね平行なラインパターンである3-5族化合物半導体上に形成されたことを特徴とする3-5族化合物半導体素子。

【請求項7】一般式 $I_{nu}Ga_vAl_wN$ (式中、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ 、 $0 \leq w \leq 1$ 、 $u+v+w=1$) で表される第1の3-5族化合物半導体からなる層の上に、前記の第1の3-5族化合物半導体とも異なり、後記の第2の3-5族化合物半導体とも異なる材料からなるパターンを有し、該第1の3-5族化合物半導体と該パターンの上に、一般式 $I_{nx}Ga_yAl_zN$ (式中、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $x+y+z=1$) で表される第2の3-5族化合物半導体からなる層を有する3-5族化合物半導体発光素子において、該パターンが第1の3-5族化合物半導体の $[1-100]$ 方向に概ね平行なラインパターンである3-5族化合物半導体上に形成されたことを特徴とする3-5族化合物半導体発光素子。

【請求項8】請求項6記載の3-5族化合物半導体素子において、一般式 $I_{nu}Ga_vAl_wN$ (式中、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ 、 $0 \leq w \leq 1$ 、 $u+v+w=1$) で表される第1の3-5族化合物半導体とも異なり、後記の第2の3-5族化合物半導体とも異なる材料からなるパターンを有し、該第1の3-5族化合物半導体と該パターンの上に、一般式 $I_{nx}Ga_yAl_zN$ (式中、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $x+y+z=1$) で表される第2の3-5族化合物半導体からなる層を有する3-5族化合物半導体が、導電性基板上に形成されたことを特徴とする3-5族化合物半導体素子。

【請求項9】請求項7記載の3-5族化合物半導体発光素子において、一般式 $I_{nu}Ga_vAl_wN$ (式中、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ 、 $0 \leq w \leq 1$ 、 $u+v+w=1$) で表される第1の3-5族化合物半導体とも異なり、後記の第2の3-5族化合物半導体とも異なる材料からなるパターンを有し、該第1の3-5族化合物半導体と該パターンの上に、一般式 $I_{nx}Ga_yAl_zN$ (式中、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $x+y+z=1$) で表される第2の3-5族化合物半導体からなる層を有する3-5族化合物半導体が、導電性基板上に形成されたことを特徴とする3-5族化合物半導体発光素子。

【請求項10】請求項6記載の3-5族化合物半導体素子において、第1の3-5族化合物半導体とも異なり、第2の3-5族化合物半導体とも異なる材料からなるパターンが2つ以上の層からなり、第1の3-5族化合物半導体からなる層に垂直な方向から投影してみたときに、第1の3-5族化合物半導体からなる層の面が2つ

以上の層からなるパターンの投影により隙間なく覆われていることを特徴とする3-5族化合物半導体素子。

【請求項11】請求項7記載の3-5族化合物半導体発光素子において、第1の3-5族化合物半導体とも異なり、第2の3-5族化合物半導体とも異なる材料からなるパターンが2つ以上の層からなり、第1の3-5族化合物半導体からなる層に垂直な方向から投影してみたときに、第1の3-5族化合物半導体からなる層の面が2つ以上の層からなるパターンの投影により隙間なく覆われていることを特徴とする3-5族化合物半導体発光素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般式 $I_{nx}Ga_yAl_zN$ (式中、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $x+y+z=1$) で表される窒化物系3-5族化合物半導体とその製造方法および該3-5族化合物半導体を用いた3-5族化合物半導体素子と3-5族化合物半導体発光素子に関する。

【0002】

【従来の技術】一般式 $I_{nx}Ga_yAl_zN$ (式中、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $x+y+z=1$) で表される3-5族化合物半導体は、混晶比により可視領域から紫外領域にバンドギャップを持つ、いわゆるワイドギャップ半導体である。以下、この一般式中の x 、 y および z をそれぞれ InN 混晶比、 GaN 混晶比、および AlN 混晶比と記すことがある。該化合物半導体は、大きなバンドギャップを持つため、 Si や $GaAs$ 等、従来一般的に用いられている半導体では動作できないような高温でも動作可能な電子デバイス用材料として有望である。また、該化合物半導体は、バンドギャップが大きいので、耐電圧の大きい電子デバイス用材料としても重要である。

【0003】特に該化合物半導体のデバイス応用を考える上で、電極、絶縁物等の、3-5族化合物半導体とは異なる材料が該化合物半導体中に埋め込まれた構造は、透過ベーストランジスタ、静電誘導トランジスタなどの作製が可能となるため重要である。ところで、このような異種材料を結晶中に埋め込む方法としては、一般的には再成長が挙げられる。該化合物半導体で再成長により埋め込み構造を作製するための具体的な手順は以下の通りである。すなわち、まず下地層である化合物半導体の結晶表面を、埋め込みを行う異種材料で部分的に覆い、この表面に対してさらに該化合物半導体の結晶成長を行うことで、該化合物半導体中に該異種材料が埋め込まれた構造を作製することができる。

【0004】該異種材料で結晶表面を部分的に覆う方法としては、半導体装置の製造に用いられている微細加工技術を用いることができる。具体的には、下地層の結晶表面に一樣に該異種材料を成膜した後、フォトレジスト

等を用いるパターンを形成するプロセスにより、所望の部分のみを残して異種材料のエッチングを行ない、エッチングされた部分に結晶表面を露出させる方法などである。

【0005】このように異種材料が埋め込まれた構造であっても、実際の素子作製プロセスにおいては、通常の結晶と同様、表面が平坦であることが好ましい。しかし、一般に異種材料で部分的に覆われた結晶表面に再成長を行なう場合、異種材料で覆われていない部分では、通常の結晶成長が進むのに対して、異種材料上では、結晶成長が起らない、または異常な結晶成長が起るなどのため、通常の結晶表面とは異なり、一樣には結晶成長が進まない。このような再成長による結晶成長の不均一性は、再成長が進むにつれ、次第に大きくなる傾向があり、実際に平坦な結晶表面を得るためには、異種材料で形成した層より上部の層を充分厚くする必要があった。したがって、埋め込み構造作製のための従来の再成長法においては、再成長表面が平坦な構造となるまでの時間がかかり、工業的製造方法として問題があった。

【0006】

【発明が解決しようとする課題】本発明の目的は、埋め込み構造作製のための再成長において、速やかに再成長表面が平坦な構造となり、薄層の3-5族化合物半導体を製造する方法と該埋め込み構造を有する薄層の3-5族化合物半導体、および該3-5族化合物半導体を用いた3-5族化合物半導体素子と3-5族化合物半導体発光素子を提供することにある。

【0007】

【課題を解決するための手段】このような状況をみて、本発明者らは、鋭意検討の結果、結晶表面での異種材料のパターンを特定のものですることで、従来より速やかに再成長表面が一樣で平坦な構造の3-5族化合物半導体を得られることを見出し本発明に至った。すなわち、本発明は〔1〕一般式 $I_{nu}Ga_vAl_wN$ (式中、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ 、 $0 \leq w \leq 1$ 、 $u+v+w=1$) で表される第1の3-5族化合物半導体からなる層の上に、前記の第1の3-5族化合物半導体とも異なり、後記の第2の3-5族化合物半導体とも異なる材料からなるパターンを有し、該第1の3-5族化合物半導体と該パターンの上に、一般式 $I_{nx}Ga_yAl_zN$ (式中、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $x+y+z=1$) で表される第2の3-5族化合物半導体からなる層を有する3-5族化合物半導体において、該パターンが第1の3-5族化合物半導体の〔1-100〕方向に概ね平行なラインパターンであり、該ラインパターンの幅が1 μm 以下である3-5族化合物半導体に係るものである。また、本発明は、〔2〕一般式 $I_{nu}Ga_vAl_wN$ (式中、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ 、 $0 \leq w \leq 1$ 、 $u+v+w=1$) で表される第1の3-5族化合物半導体からなる層の上に、前記の第1の3-5族化合物半導体とも

10

20

30

40

50

異なり、後記の第2の3-5族化合物半導体とも異なる材料からなるパターンを形成し、次に該第1の3-5族化合物半導体と該パターンの上に、一般式 $\text{In}_x\text{Ga}_y\text{Al}_z\text{N}$ (式中、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $x+y+z=1$) で表される第2の3-5族化合物半導体からなる層を成長する3-5族化合物半導体の製造方法において、該パターンとして第1の3-5族化合物半導体の $[1-100]$ 方向に概ね平行なラインパターンを形成し、かつ該ラインパターンの幅を $1 \mu\text{m}$ 以下とする3-5族化合物半導体の製造方法に係るものである。

さらに、本発明は、[3] 一般式 $\text{In}_u\text{Ga}_v\text{Al}_w\text{N}$

(式中、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ 、 $0 \leq w \leq 1$ 、 $u+v+w=1$) で表される第1の3-5族化合物半導体からなる層の上に、前記の第1の3-5族化合物半導体とも異なり、後記の第2の3-5族化合物半導体とも異なる材料からなるパターンを有し、該第1の3-5族化合物半導体と該パターンの上に、一般式 $\text{In}_x\text{Ga}_y\text{Al}_z\text{N}$ (式中、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $x+y+z=1$) で表される第2の3-5族化合物半導体からなる層を有する3-5族化合物半導体素子において、該

パターンが第1の3-5族化合物半導体の $[1-100]$ 方向に概ね平行なラインパターンである3-5族化合物半導体上に形成された3-5族化合物半導体素子に係るものである。また、本発明は、[4] 一般式 $\text{In}_u\text{Ga}_v\text{Al}_w\text{N}$ (式中、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ 、 $0 \leq w \leq 1$ 、 $u+v+w=1$) で表される第1の3-5族化合物半導体からなる層の上に、前記の第1の3-5族化合物半導体とも異なり、後記の第2の3-5族化合物半導体とも異なる材料からなるパターンを有し、該第1の3-5族化合物半導体と該パターンの上に、一般式 $\text{In}_x\text{Ga}_y\text{Al}_z\text{N}$ (式中、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $x+y+z=1$) で表される第2の3-5族化合物半導体からなる層を有する3-5族化合物半導体発光素子において、該パターンが第1の3-5族化合物半導体の $[1-100]$ 方向に概ね平行なラインパターンである3-5族化合物半導体上に形成された3-5族化合物半導体発光素子に係るものである。

【0008】

【発明の実施の形態】次に、本発明を詳細に説明する。一般式 $\text{In}_x\text{Ga}_y\text{Al}_z\text{N}$ (式中、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $x+y+z=1$) で表わされる3-5族化合物半導体は、結晶成長の方法によらず、一般に(0001)面(c面)が良好な結晶面として成長することが知られている。本発明の3-5族化合物半導体は、一般式 $\text{In}_u\text{Ga}_v\text{Al}_w\text{N}$ (式中、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ 、 $0 \leq w \leq 1$ 、 $u+v+w=1$) で表される第1の3-5族化合物半導体からなる層(以下、下地層ということがある)と、一般式 $\text{In}_x\text{Ga}_y\text{Al}_z\text{N}$ (式中、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $x+y+z=1$) で表される第2の3-5族化合物半導体層からな

る層(以下、再成長層ということがある)との間に、

$[1-100]$ 方向に概ね平行なラインパターンを有する、前記のいずれの3-5族化合物半導体とも異なる材料(以下、異種材料ということがある)が埋め込まれてなり、該ラインパターンの幅が $1 \mu\text{m}$ 以下であることを特徴とする。

【0009】本発明において、 $[1-100]$ 方向に概ね平行なラインパターンを有するとは、正確に $[1-100]$ 方向でなくともよく、概ね $[1-100]$ 方向に平行なライン形状であればよいことを意味する。具体的には、本発明における異種材料のラインパターンの方向は、 $[1-100]$ 方向から、 ± 15 度以内であることが好ましく、さらに好ましくは ± 10 度以内、特に好ましくは ± 7 度以内である。ラインパターンの方向が $[1-100]$ 方向から絶対値で 15 度より大きく離れている場合、本発明の効果が十分に得られないので好ましくない。ここで、本発明において、一般に六方晶系における結晶軸方向を

【数1】

$$[1\bar{1}00]$$

と記載するところを、便宜上 $[1-100]$ のように記載する。

【0010】本発明の3-5族化合物半導体の製造方法は、一般式 $\text{In}_u\text{Ga}_v\text{Al}_w\text{N}$ (式中、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ 、 $0 \leq w \leq 1$ 、 $u+v+w=1$) で表される下地層の上に、異種材料からなるパターン(以下、マスクということがある)を形成し、次に該下地層と該マスクの上に、成長層を成長する3-5族化合物半導体の製造方法において、該パターンとして下地層の $[1-100]$ 方向に概ね平行なラインパターンを形成し、かつ該ラインパターンの幅を $1 \mu\text{m}$ 以下とすることを特徴とする。

【0011】従来は、 $[1-100]$ 方向と垂直方向の $[11-20]$ 方向に概ね平行なラインパターンを形成した場合の再成長が試みられていた(J. Cryst. Growth, 144巻(1994年)、133ページ)。この場合の、再成長界面の発達の推移を図1に示す。図1に示すように、再成長表面は、成長が進むにつれて、ラインパターンからの $[1-101]$ ファセットが成長し、ファセット方向への成長速度よりもc軸方向への成長速度が相対的に大きいために、一旦(0001)面はほぼ消失してしまう。さらに成長が進むにつれて、ファセット面方向への成長が進み、各ラインパターンにより隔てられていた、再成長界面が融合する。さらに成長が進むと、ファセット面で形成された谷間の部分が次第に埋まり、最終的に再び(0001)面が一様に平坦に形成される。

【0012】一方、本発明における $[1-100]$ 方向に概ね平行なラインパターンを有する場合の推移につい

10

20

30

40

50

て、図2に示す。この場合、再成長表面での、ファセット方向とc軸方向での成長速度を比べると、相対的にファセット方向への成長速度が大きい。このため、ファセット面方向への成長が進むにつれて、次第に(0001)面が広がる。マスクパターンの両端から成長してきたファセット面がマスクパターンを覆った後は、ファセット面で形成された谷部が次第に埋まり、最終的に再び(0001)面が一様に平坦に形成される。従来の方法と比較して、本発明の方法が大きく異なる点は、従来の方法では、平坦な(0001)面が現れる過程で、一旦(0001)面が消失するのに対して、本発明の方法では、再成長が進むにつれ、(0001)面が次第に広がり、(0001)面の形成が従来の場合と比較して速やかに起きることである。なお、本発明においては、マスクパターンの幅が小さいことが、速やかに埋め込み構造を得るために重要である。以上述べたように、従来の方法と本発明の方法を比較した場合、本発明により一様で平坦な再成長界面がより早い段階で形成されることが分かる。

【0013】本発明に用いることができる成長方法としては、有機金属気相成長法(以下、MOVPE法と記すことがある。)、分子線エピタキシー法(以下、MBE法と記すことがある。)、ハイドライド気相成長法(以下、HVPE法と記すことがある。)などが挙げられる。この中では、MOVPE法が、大面積にわたり均一な結晶成長が、精度良く行なえることから好ましい。

【0014】次に、第1の3-5族化合物半導体からなる層については、一般式 $GavAlwN$ (式中、 $0 \leq v \leq 1$ 、 $0 \leq w \leq 1$ 、 $v+w=1$)で表される3-5族化合物半導体、第2の3-5族化合物半導体からなる層については、一般式 $GayAlzN$ (式中、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $y+z=1$)で表される3-5族化合物半導体を用いると、高品質な結晶として成長できるので、特に好ましい。

【0015】また、本発明において、3-5族化合物半導体の結晶成長用基板としては、サファイア、 ZnO 、 $GaAs$ 、 Si 、 SiC 、 $NGO(NdGaO_3)$ 、スピネル($MgAl_2O_4$)、 GaN 等が用いられる。特にサファイアは、大面積の高品質の結晶が得られるため好ましい。また、 SiC 、 Si 、 $GaAs$ 等の導電性基板を用いた場合、電極を基板の裏面に形成することができるため、素子作製プロセスの簡易化、素子の放熱効率の向上が図れる場合があり好ましい。これらの基板を用いた成長において、該基板上にさらに ZnO 、 SiC 、 GaN 、 AlN 、 $GaAlN$ の薄膜またはそれらの積層膜をバッファ層として成長する方法、いわゆる2段階成長法が、高い結晶性の3-5族化合物半導体を成長できるため好ましい。

【0016】第1の3-5族化合物半導体からなる層の上に形成する、第1の3-5族化合物半導体とも異なる

り、第2の3-5族化合物半導体とも異なる材料からなるパターン(マスク)に用いる材料としては、再成長の温度、成長雰囲気でも安定な材質のものであれば好適に用いることができるが、 SiO_2 、 $SiNx$ 、またはタングステンなどの金属等が挙げられる。該マスクを第1の3-5族化合物半導体からなる層の上に成膜する方法としては、蒸着法、スパッタ法、化学気相堆積法等を用いることができる。

【0017】該マスクに用いる材料によっては、マスク上に異常な成長が起き、最終的に平坦な表面を得られにくいことがある。このような場合には、マスク上にさらに適切な材料からなるマスクを積層することが好ましい。特に、異常成長が生じにくいマスク用の材料としては、 SiO_2 、 $SiNx$ などが挙げられる。これらのマスクに用いる材料を、異常成長が生じやすいマスク上に積層した後、ラインパターンを形成することで、好ましい効果を得ることができる。また、高温で安定ではあっても、再成長の雰囲気に対しては化学的に不安定な材料をマスクとして用いる場合、やはり、安定な材料からなるマスクを積層して用いることで、再成長時に不安定な材料を保護して用いることができる。

【0018】次に、本発明の3-5族化合物半導体素子について詳細に説明する。本発明の3-5族化合物半導体素子は、一般式 $InuGavAlwN$ (式中、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ 、 $0 \leq w \leq 1$ 、 $u+v+w=1$)で表される第1の3-5族化合物半導体からなる層の上に、前記の第1の3-5族化合物半導体とも異なり、後記の第2の3-5族化合物半導体とも異なる材料からなるパターンを有し、該第1の3-5族化合物半導体と該パターンの上に、一般式 $InxGayAlzN$ (式中、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $x+y+z=1$)で表される第2の3-5族化合物半導体からなる層を有する3-5族化合物半導体素子において、該パターンが第1の3-5族化合物半導体の $[1-100]$ 方向に概ね平行なラインパターンである3-5族化合物半導体上に形成されたことを特徴とする。

【0019】具体的には、金属をマスクとして埋め込むことにより、埋め込まれた金属を電極とする静電誘導トランジスタまたは透過ベーストランジスタなどの半導体素子構造の作製が従来に比べてより広い範囲でのパラメータで可能になる。本発明の半導体素子の一例として、静電誘導トランジスタの具体的構造を図3に示す。また、該窒化物系3-5族化合物半導体は、他の3-5族化合物半導体に比べて貫通転位を主体とする高密度の結晶欠陥を含むことが知られている。すなわち、下地に発生した貫通転位は、基板に対してほぼ垂直方向に伸びるため、結晶成長が進んでも欠陥も結晶表面まで続いて成長し、ほとんど途中で途切れることがない。しかしながら、本発明における埋め込み構造により下地層からの欠陥の伝播を異種材料により抑制することにより結晶性の

改善の効果が期待できる。欠陥の抑制の様子を図4に示す。結晶へ表面に一旦異種材料によるマスクパターン

(第1のマスク2-1と第2のマスク2-2)を形成した場合、このパターンを通じて結晶欠陥がさらに上の層に伸びることはない。このため、マスクパターン上の再成長層に含まれる欠陥の密度は、下地層に比べて減少させることができる。したがって、本発明による再成長により、表面の平坦性が速やかに回復するため、基板からの欠陥の抑制が速やかにできる。

【0020】再成長によって、転位密度の小さい部分が10
できる特徴を利用して、結晶全面にわたって転位密度を減少させることができる。これを実現するためには、図4に示す例のように、ストライプ状のマスクを利用して再成長を2回繰り返す方法が挙げられる。1回目の再成長でマスクされなかった部分を覆うように2回目のマスク位置を調整することにより、2回目の再成長層では層全体にわたって転位密度を小さくすることができる。すなわち、本発明の3-5族化合物半導体素子において、第1の3-5族化合物半導体とも異なり、第2の3-5族化合物半導体とも異なる材料からなるパターンが2つ20
以上の層からなり、第1の3-5族化合物半導体からなる層に垂直な方向から投影してみたときに、第1の3-5族化合物半導体からなる層の面が2つ以上の層からなるパターンの投影により隙間なく覆われていることが好ましい。

【0021】低い欠陥密度の該化合物半導体を得るためのマスクの形状について、以下説明する。マスクの形状は、マスクの幅とマスク間の間隔(マスク間の下地層が露出した部分の幅)によって決められる。マスク間の間隔は、4 μm 以下100 \AA 以上であることが好ましく、30
より好ましくは3 μm 以下200 \AA 以上である。マスクの幅は、0.1 μm 以上6 μm 以下が好ましく、より好ましくは0.2 μm 以上4 μm 以下である。こうしてできる低転位密度の結晶は、半導体素子、発光素子として利用することが可能である。

【0022】次に、本発明の半導体素子の別の例として、金属半導体接触(ショットキー接触)を利用した電界効果トランジスタ(FET)を図5に示す。基板4上に、SiO₂の[1-100]方向のストライプ型マスクとノンドープGa_{0.5}Nの再成長によって埋め込み構造を2回繰り返して作製して、転位密度の小さな結晶を作製し、その上に電界効果トランジスタに必須の構造である、n⁻型活性層(電子走行層)6、n⁺型コンタクト層7、ソース電極8、ゲート電極9、ドレイン電極10の各電極を形成する。ゲート電極9はエッチングによってn⁺型コンタクト層7の一部を除去し露出したn⁻型活性層(電子走行層)6上に形成する。ゲート電圧を調整することにより、ショットキー接合の電荷空乏層の厚さを変化させ、電子走行チャンネル(空乏層と下地層にはさまれた部分)の断面積が変化し、電流のオン、オフを制

御することができる。すなわち、ゲート電圧により、ソース・ドレイン間の電流が変調され、デバイスは3端子動作をする。本発明のFET構造では、電子走行層の中の転位密度が従来の構造に比べて減少しているため、電子移動度が大きくでき、FETの特性が向上できる。

【0023】次に、FETを動作させるための各層の層厚、物性の好ましい範囲に関して説明する。n⁻型活性層(電子走行層)6の下側の再成長層は高抵抗である必要があり、キャリア濃度は3 $\times 10^{16}\text{ cm}^{-3}$ 以下であることが好ましい。n⁻型活性層(電子走行層)6の層厚は、そのキャリア濃度に応じて適当な範囲があり、キャリア濃度が高いほど活性層厚は、薄くする必要がある。好ましいキャリア濃度の範囲は、5 $\times 10^{16}\text{ cm}^{-3}$ 以上3 $\times 10^{18}\text{ cm}^{-3}$ 以下である。

【0024】n⁺型コンタクト層7のキャリア濃度は、充分なオーミック電極特性を得るために結晶性を損わない範囲で高い方がよい。該キャリア濃度は、好ましくは1 $\times 10^{17}\text{ cm}^{-3}$ 以上1 $\times 10^{21}\text{ cm}^{-3}$ 以下であり、より好ましくは1 $\times 10^{18}\text{ cm}^{-3}$ 以上1 $\times 10^{20}\text{ cm}^{-3}$ 以下である。

【0025】ソース電極とドレイン電極は、オーミック電極であることが好ましい。n型Ga_{0.5}Nに対するオーミック電極材料としては、Al、In、Au、TiAu、TiAl、CrAu等を好適に用いることができる。ゲート電極は、ショットキー電極であることが必要である。n型Ga_{0.5}Nに対するショットキー電極材料としては、Pt、Pd、Ti、Cr等を好適に用いることができる。

【0026】次に、本発明の半導体素子の別の例として、図6に示す高電子移動度トランジスタ(HEMT)について説明する。先に述べたFETの場合と同様にして2回の埋め込み成長により、転位密度の小さいノンドープ(高抵抗)Ga_{0.5}N層を作製し、この上にHEMTに必須のヘテロ接合界面14、n⁺型コンタクト層7、ソース電極8、ゲート電極9、ドレイン電極10の各電極を形成する。ヘテロ接合界面14は、ノンドープGa_{0.5}Nの上にSiドープn⁻型AlGa_{0.5}N層13を作製することで形成し、ここに2次元電子ガス(電子走行チャンネル)を形成する。ゲート電圧を調整することにより、ショットキー接合の電荷空乏層の厚さを変化させ、電荷空乏層がヘテロ接合界面に達すると電流が流れなくなり、電荷空乏層がヘテロ接合界面に達しない場合は電流は流れる。すなわち、ゲート電圧により、ソース・ドレイン間の電流が変調され、デバイスは3端子動作をする。

【0027】一般にHEMT構造では、電子走行チャンネルがノンドープ層側であるため、イオン化不純物による散乱がなく、FETよりも高い移動度が得られる。さらに、本発明では従来のHEMT構造に比べて、下地層に埋め込み成長を利用することにより窒化物系化合物半導体の結晶品質が向上するので、電子走行チャンネルで

の転位による散乱が減少し、高い移動度が期待できる。

【0028】HEMTを動作させるための各層の層厚、物性の好ましい範囲に関して説明する。ヘテロ接合界面14の下側の再成長層は、高抵抗である必要があり、キャリア濃度は $3 \times 10^{16} \text{ cm}^{-3}$ 以下であることが好ましい。

【0029】 n -型AlGaIn層13の層厚は、そのキャリア濃度に応じて適当な範囲があり、キャリア濃度が高いほど n -型AlGaIn層13の層厚は、薄くする必要がある。好ましいキャリア濃度の範囲は、 $5 \times 10^{16} \text{ cm}^{-3}$ 以上 $3 \times 10^{18} \text{ cm}^{-3}$ 以下である。該 n -型AlGaIn層13のAlIn混晶比の好ましい範囲は、0.01以上0.5以下である。該AlIn混晶比が0.01より小さいと、充分な濃度の2次元電子ガスが得られず、また0.5よりも大きいと結晶品質が低下し、正常な動作ができにくくなるので好ましくない。

【0030】 n +型コンタクト層7のキャリア濃度は、充分なオーミック電極特性を得るために結晶性を損わない範囲で高い方がよい。該キャリア濃度は、好ましくは $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下であり、より好ましくは $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下である。

【0031】ソース電極とドレイン電極は、オーミック電極であることが好ましい。 n 型GaInに対するオーミック電極材料としては、Al、In、Au、TiAu、TiAl、CrAu等を好適に用いることができる。ゲート電極は、ショットキー電極であることが必要である。 n 型GaInに対するショットキー電極材料としては、Pt、Pd、Ti、Cr等を好適に用いることができる。

【0032】次に、本発明の半導体素子の別の例として、図3に示す静電誘導トランジスタ(SIT)について説明する。第1の3-5族化合物半導体からなる層(下地層)1であるSiドープ n +型GaIn層の上に、TiAuからなる[1-100]方向のストライプ状の第1のマスク2-1を形成し、この上に第1の再成長層3-1であるノンドープGaIn層を成長して、第1のマスクを完全に埋め込む。次に、この上にPtからなる[1-100]方向のストライプ状の第2のマスク2-2を形成する。第2のマスクの位置は、第1のマスクと半周期ずれるようにする。この上に第2の再成長層3-2であるノンドープGaIn層を成長して、第2のマスクを完全に埋め込む。引き続いて n +型コンタクト層7であるSiドープ n +型GaIn層を成長する。 n +型コンタクト層7の上にTiAuからなる電極を形成する。なおマスクパターンは、ストライプ部分につながった広い面積部分を有するパターンを利用する。この広い面積部分の上は完全に埋め込まれることがなく、再成長が終わった後も表面に露出したままとなる。この金属の露出部分はそのまま電極として利用できる。

【0033】この構造では金属は、上から(または下から)ソース電極、ゲート電極、ドレイン電極として利用できる。この構造では電子が膜厚の方向に走行することが、先に説明したFET、HEMTと異なる。ゲート電圧を調整することにより、埋め込まれたゲート(今の例では第2のマスク2-2であるPt)の周囲の電荷空乏層の厚さを変化させ、電子の走行チャンネル(隣り合うゲートの空乏層と空乏層の間の部分)12の断面積が変化し、電流のオン・オフの制御ができる。すなわち、ゲート電圧により、ソース・ドレイン間の電流が変調され、デバイスは3端子動作をする。本構造において、導電性の基板を用いた場合、ソース電極またはドレイン電極を基板裏面に形成することができる。図3のSITの例では、電子の走行距離は、2回の再成長層の厚さの和になるので、FET、HEMTに比べて短くかつ精密制御することが可能である。このため高周波動作特性に優れたトランジスタが作製できる。

【0034】次に、SITを動作させるための各層の層厚、物性の好ましい範囲に関して説明する。電子走行チャンネルに利用される、2つの再成長層のキャリア濃度は、ゲート電極ストライプの間隔に応じて適当な範囲があり、ゲート電極ストライプの間隔が大きくなるに従い、キャリア濃度を小さくする必要がある。好ましいゲート電極ストライプの間隔は、 $0.1 \mu\text{m}$ 以上 $5 \mu\text{m}$ 以下であり、これに応じて好ましいキャリア濃度は、 $2 \times 10^{18} \text{ cm}^{-3}$ から $1 \times 10^{15} \text{ cm}^{-3}$ まで変化する。

【0035】本SITにおいて、Siドープ n +型GaIn層である下地層1および n +型コンタクト層7は、コンタクト層として作用するので、そのキャリア濃度は、充分なオーミック電極特性を得るために、結晶性を損わない範囲で高い方がよい。該キャリア濃度は、好ましくは $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下であり、より好ましくは $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下である。

【0036】ソース電極とドレイン電極は、オーミック電極であることが好ましい。 n 型GaInに対するオーミック電極材料としては、Al、In、Au、TiAu、TiAl、CrAu等を好適に用いることができる。このうち、第1の再成長のマスクとして利用する電極は、再成長の際の成長温度に耐える耐熱性が必要であるので、Au、TiAu、TiAl等が好適に利用できる。ゲート電極は、再成長の際の成長温度に耐える耐熱性を有するショットキー電極材料であることが必要である。 n 型GaInに対するショットキー電極としては、Pt、Pd、Ti、Cr等を好適に用いることができる。

【0037】次に、本発明の3-5族化合物半導体発光素子について詳細に説明する。本発明の3-5族化合物半導体発光素子は、一般式 $\text{In}_u\text{Ga}_v\text{Al}_w\text{N}$ (式中、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ 、 $0 \leq w \leq 1$ 、 $u+v+w=1$)で表される第1の3-5族化合物半導体からなる層

の上に、前記の第1の3-5族化合物半導体とも異なり、後記の第2の3-5族化合物半導体とも異なる材料からなるパターンを有し、該第1の3-5族化合物半導体と該パターンの上に、一般式 $\text{In}_x\text{Ga}_y\text{Al}_z\text{N}$ (式中、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $x+y+z=1$) で表される第2の3-5族化合物半導体からなる層を有する3-5族化合物半導体発光素子において、該パターンが第1の3-5族化合物半導体の $[1-100]$ 方向に概ね平行なラインパターンである3-5族化合物半導体上に形成されたことを特徴とする。

【0038】本発明において、再成長によって、転位密度の小さい部分ができる特徴を利用して、結晶全面にわたって転位密度を減少させることができる。これを実現するためには、図4に示す例のように、ストライプ状のマスクを利用して再成長を2回繰り返す方法が挙げられる。1回目の再成長でマスクされなかった部分を覆うように2回目のマスク位置を調整することにより、2回目の再成長層では層全体にわたって転位密度を小さくすることができる。すなわち、本発明の3-5族化合物半導体発光素子において、第1の3-5族化合物半導体とも異なり、第2の3-5族化合物半導体とも異なる材料からなるパターンが2つ以上の層からなり、第1の3-5族化合物半導体からなる層に垂直な方向から投影してみたときに、第1の3-5族化合物半導体からなる層の面が2つ以上の層からなるパターンの投影により隙間なく覆われていることが好ましい。

【0039】本発明の発光素子の例として、発光ダイオード(LED)を図7に示す。基板4上に、 SiO_2 の $[1-100]$ 方向のストライプ型マスクと Si ドープ n^+ 型 GaN の再成長によって埋め込み構造を2回繰り返して作製して、転位密度の小さな n 型導電性結晶を作製する。この結晶の上に n -型 GaN 層15、量子井戸型の InGaIn 発光層16、 AlGaIn 保護層17、 Mg ドープ p 型 GaN 層18を成長し、ダブルヘテロ構造のLED構造を成長する。次に、この構造の一部分をエッチングによって除去し、 n^+ 型 GaN 層の露出部分を形成し、この上に n 電極19、 p 型 GaN 層18の上に p 電極20を形成する。この構造のLEDでは、従来のLEDに比べて、転位密度の少ない品質の優れた結晶の上に成長しているため、欠陥による非輻射再結合確率が抑えられ、発光効率を高くでき、しかも寿命を長くすることができる。本構造において、導電性基板を用いた場合には、 n 電極を基板の裏面に形成することができる。

【0040】次に、LEDを動作させるための各層の層厚、物性の好ましい範囲に関して説明する。 n 電極を形成する層(図7の例では第2の再成長層3-2)のキャリア濃度は、十分なオーミック電極特性を得るために、結晶品質を損なわない範囲で高い方がよい。該キャリア濃度は、好ましくは $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下であり、より好ましくは $1 \times 10^{18} \text{ cm}^{-3}$ 以上

$1 \times 10^{20} \text{ cm}^{-3}$ 以下である。

【0041】量子井戸型の InGaIn 発光層16の In N 混晶比は、目的とする発光波長に応じて10%から50%の範囲で決定する。発光層の好ましい厚さは、5Å以上90Å以下の範囲である。発光層は、 n 型不純物および/または p 型不純物をドーピングしてもよいが、バンド端からの発光を得る場合にはドーピングを行わない方が好ましい。発光層の数は、1層でもよいが、複数にしてもよい。この場合、複数の発光層の間の層(以後、バリア層と呼ぶ場合がある)のバンドギャップは、発光層のバンドギャップより大きくなるように組成を決める。

【0042】最も表面側に近い発光層に接する AlGaIn 保護層17は、 InGaIn 発光層16の熱劣化を防ぐために設ける保護層である。この層の組成としては、 In を含まない AlGaIn が耐熱性が高いので好ましい。この保護機能は、 Al 混晶比と層厚に依存する。 Al 混晶比が大きい方が、耐熱性が高いので、十分な保護機能を得るのに必要な層厚は小さくなる。好ましい Al In 混晶比は、10%以上50%以下である。10%より小さいと十分な保護機能が得られにくいので好ましくなく、50%より大きいと結晶品質が低下するので好ましくない。また、好ましい保護層の厚さは、50Å以上1000Å以下であり、さらに好ましくは1000Å以上5000Å以下である。

【0043】 p 電極をその上に形成する Mg ドープ p 型 GaIn 層18のキャリア濃度は、十分なオーミック電極特性を得るために、結晶品質を損なわない範囲で高い方がよい。該キャリア濃度は、好ましくは $3 \times 10^{17} \text{ cm}^{-3}$ 以上 $3 \times 10^{20} \text{ cm}^{-3}$ 以下であり、より好ましくは $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下である。

【0044】 n 型 GaIn に対するオーミック電極材料としては、 Al 、 In 、 Au 、 TiAu 、 TiAl 、 CrAu 等を好適に用いることができる。 p 型 GaIn に対するオーミック電極材料としては、 NiAu 、 MgAu 、 Au 、 Pt 、 ZnAu 、 CaAu 等を好適に用いることができる。

【0045】次に、本発明の発光素子の別の例として、図8に示すレーザーダイオード(LD)について説明する。基板1上に、 SiO_2 の $[1-100]$ 方向のストライプ型マスクと Si ドープ n^+ 型 GaIn の再成長によって埋め込み構造を2回繰り返して作製して、転位密度の小さな n 型導電性結晶を作製する。この結晶の上に下部クラッド層23である n 型 AlGaIn 層、下部光導波層21である n 型 GaIn 層、発光層27である InGaIn 多重量子井戸層、上部光導波層22である p 型 GaIn 層、上部クラッド層24である p 型 AlGaIn 層、電流狭窄層28である n ドープ GaIn 層を成長する。なお、 InGaIn 多重量子井戸の発光層27は、 $\text{In}_x\text{Ga}_{1-x}\text{In}$ 発光層と $\text{In}_y\text{Ga}_{1-y}\text{N}$ バリア層(ここで、 x

$y > 0, 0 \leq y < 1$) を交互に繰り返し積層した構造である。

【0046】次に、最表面の電流狭窄層28の一部をエッチングによりストライプ状に除去する。次にこの構造の上に再成長を行い、Mgドープp型Ga_{1-x}N_y層18を成長する。次に、この構造の一部分をエッチングによって除去し、n⁺型Ga_{1-x}N_y層の露出部分を形成し、この上にn電極19、p型Ga_{1-x}N_y層18の上にp電極20を形成する。この構造のLDでは、従来のLDに比べて、転位密度の少ない品質の優れた結晶の上に成長しているの

で、寿命を長くすることができ、しかも欠陥による非輻射再結合確率が抑えられて、発光効率を高くできる。本構造において、導電性基板を用いた場合、n電極を基板裏面に形成することができる。

【0047】LDを動作させるための各層の層厚、物性の好ましい範囲に関して説明する。n電極を形成する層（図8の例では第2の再成長層3-2）のキャリア濃度は、充分なオーミック電極特性を得るために、結晶品質を損なわない範囲で高い方がよい。該キャリア濃度は、好ましくは $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下

であり、より好ましくは $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下である。

【0048】多重量子井戸の発光層27のInN混晶比は、目的とする発光波長に応じて10%から50%の範囲で決定する。発光層の好ましい厚さは、5Å以上90Å以下の範囲である。発光層は、n型不純物および/またはp型不純物をドーピングしてもよいが、バンド端からの発光を得る場合にはドーピングを行わないほうが好ましい。発光層の数は1層でもよいが、複数にしてもよい。この場合、複数の発光層の間のバリア層のバンドギャップは、発光層のバンドギャップより大きくなるように組成を決める。

【0049】発光層の上下の、下部光導波層21、上部光導波層22、およびその両側の下部クラッド層23、上部クラッド層24は、発光層で発生した光を両クラッド層に挟まれた内部領域に閉じ込めるために、屈折率の大きさを、クラッド層<光導波層<発光層の順になるように調整する。これは、エネルギーギャップの大きさを、クラッド層>光導波層>発光層の順になるようにすることとほぼ対応する。例えば、発光層をInGa_{1-x}N_y、光導波層をGa_{1-x}N、クラッド層をAlGa_{1-x}Nに選べばよい。クラッド層の好ましい層厚は、500Å以上5000Å以下であり、光導波層の好ましい厚さは、200Å以上2000Å以下である。光導波層、クラッド層は、一般にドーピングすることが必要である。ドーピングする場合は、発光層の上下で伝導型を逆にする。図8の例では、下部光導波層21、下部クラッド層23は、n型にドーピングし、上部光導波層22、上部クラッド層24は、p型にドーピングする。ドーピング濃度は、結晶性を損なわない範囲で高い方が好ましい。しかし、光導

波層の発光層に接する側の部分は、結晶性を高めるためにドーピングレベルを下げてよい。

【0050】電流狭窄層28は、エッチングでつくられた電流経路だけに電流が流れ、この電流経路の直下の発光層（発光部分）を流れる電流密度が高くなるようにするために設ける。このため、電流狭窄層28の抵抗は、充分高いことが必要で、キャリア濃度は、 $3 \times 10^{16} \text{ cm}^{-3}$ 以下であることが好ましい。

【0051】p電極をその上に形成するMgドープp型Ga_{1-x}N_y層18のキャリア濃度は、充分なオーミック電極特性を得るために、結晶品質を損なわない範囲で高い方がよい。該キャリア濃度は、好ましくは $3 \times 10^{17} \text{ cm}^{-3}$ 以上 $3 \times 10^{20} \text{ cm}^{-3}$ 以下であり、より好ましくは $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下である。

【0052】n型Ga_{1-x}N_yに対するオーミック電極材料としては、Al、In、Au、TiAu、TiAl、CrAu等を好適に用いることができる。p型Ga_{1-x}N_yに対するオーミック電極材料としては、NiAu、MgAu、Au、Pt等を好適に用いることができる。

【0053】次に、本発明の発光素子の別の例として、図9に示す面発光レーザーについて説明する。基板1上に、SiO₂の[1-100]方向のストライプ型マスクとSiドープn⁺型Ga_{1-x}N_yの再成長によって埋め込み構造を2回繰り返して作製して、転位密度の小さなn型導電性結晶を作製する。この結晶の上にn型AlGa_{1-x}N_yとn型Ga_{1-x}N_yを繰り返し積層した下部反射層25を作製する。n型AlGa_{1-x}N_yとn型Ga_{1-x}N_yの各層は、発光波長の1/4波長になるように膜厚を制御する。この上にInGa_{1-x}N_y多重量子井戸発光層27、p型AlGa_{1-x}N_yとp型Ga_{1-x}N_yを繰り返し積層した上部反射層26、電流狭窄層28であるノンドープGa_{1-x}N_y層を成長する。なお上部反射層26を構成するp型AlGa_{1-x}N_yとp型Ga_{1-x}N_yの各層は、やはり発光波長の1/4波長になるように膜厚を制御する。また、InGa_{1-x}N_y多重量子井戸発光層27は、In_xGa_{1-x}N_y発光層とIn_yGa_{1-y}N_{1-y}バリア層（ここで、 $x > y, 0 \leq y < 1$ ）を交互に繰り返し積層した構造である。

【0054】次に、最も上面の電流狭窄層28の中心部分をエッチングにより円形に除去する。次に、この構造の上に再成長を行いMgドープp型Ga_{1-x}N_y層18を成長する。次に、この構造の一部分をエッチングによって除去し、n⁺型Ga_{1-x}N_y層の露出部分を形成し、この上にn電極19、p型Ga_{1-x}N_y層18の上に環状のp電極20を形成する。この構造のLDでは、従来のLDに比べて、転位密度の少ない品質の優れた結晶の上に成長しているので、寿命を長くすることができ、しかも欠陥による非輻射再結合確率が抑えられて、発光効率を高くできる。本構造において、導電性基板を用いることで、n電極を基板裏面に形成することができる。また、上記の例は、上部反射層、p型コンタクト層の順に積層したものであ

るが、p型コンタクト層、上部反射層の順に積層してもよい。この場合、上部反射層はp型伝導性である必要はなく、CaF、ZnOなどの材料を用いて蒸着等により形成してもよい。

【0055】次に、面発光レーザーを動作させるための各層の層厚、物性の好ましい範囲に関して説明する。n電極を形成する層（図9の例では第2の再成長層3-2）のキャリア濃度は、充分なオーミック電極特性を得るために、結晶品質を損なわない範囲で高い方がよい。該キャリア濃度は、好ましくは $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下であり、より好ましくは $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下である。

【0056】多重量子井戸発光層27のInN混晶比は、目的とする発光波長に応じて10%から50%の範囲で決定する。発光層の好ましい厚さは、5Å以上90Å以下の範囲である。発光層は、n型不純物および/またはp型不純物をドーピングしてもよいが、バンド端からの発光を得る場合にはドーピングを行わないほうが好ましい。発光層の数は、1層でもよいが、複数にしてもよい。この場合、複数の発光層の間のバリア層のバンドギャップは、発光層のバンドギャップより大きくなるように組成を決める。

【0057】電流狭窄層28は、エッチングでつくられる電流経路だけに電流を流し、電流経路直下の発光層部分（発光部分）を流れる電流密度を高くするために設ける。このため、この層の抵抗は充分高いことが必要でキャリア濃度は、 $3 \times 10^{16} \text{ cm}^{-3}$ 以下であることが好ましい。

【0058】p電極をその上に形成するMgドーパ型GaIn層18のキャリア濃度は、充分なオーミック電極特性を得るために、結晶品質を損なわない範囲で高い方がよい。該キャリア濃度は、好ましくは $3 \times 10^{17} \text{ cm}^{-3}$ 以上 $3 \times 10^{20} \text{ cm}^{-3}$ 以下であり、より好ましくは $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下である。

【0059】n型GaInに対するオーミック電極材料としては、Al、In、Au、TiAu、TiAl、CrAu等を好適に用いることができる。p型GaInに対するオーミック電極材料としては、NiAu、MgAu、Au、Pt、ZnAu、CaAu等を好適に用いることができる。

【0060】

【実施例】以下、本発明を実施例に基づいてさらに詳細に説明するが、本発明はこれらに限定されるものではない。実施例1、比較例1MOVPE法によりサファイア

(0001)面上にAlNバッファ層を介してGaInを成長させ、その上にマスクとしてSiO₂膜を高周波スパッタ法により70nm堆積した後、フォトリソを塗布した。次にHe-Cdレーザ（波長：442nm）を用いてレーザ干渉露光を行ない、レジスト膜へパターンを形成した。ラインパターンの間隔は1.0μmであ

る。また、パターンの方向（ラインの長軸方向）は、

[1-100]方向（実施例1）、および[11-20]方向（比較例1）である。レジストにパターンを形成した後、バッファドフッ酸（NH₄HF₂）によりSiO₂膜をウエットエッチングし、アセトンによりレジスト膜を除去することにより再成長用の基板とした。

【0061】つぎに上記の再成長用基板を試料とし、再成長を行なった。キャリアガスとしては、水素を用いた。まず、基板をMOVPE成長炉内のサセプタに載置し、キャリアガスとアンモニアをそれぞれ2.5slmおよび1.5slm供給しながら、高周波加熱により基板の温度を1070℃まで加熱した。温度が安定した後、TMGを96μmol/分供給して成長を行なった後、高周波加熱を停止し、基板の温度が400℃になった時点でアンモニアの供給を停止した。成長時間は、2分、7分、12分、30分としたものを作製した。ただし、slmとは気体の流量の単位であり、1slmは1分当たり、標準状態で1リットルの体積を占める重量の気体が流れていることを示す。

【0062】再成長後、試料をマスクパターンのライン方向と垂直方向に劈開し、断面形状を走査型電子顕微鏡により観察したところ、実施例1では、マスクパターンと結晶表面内で垂直方向である、[11-20]方向への成長速度が76.8nm/分、基板の上方向であるc軸方向への成長速度が33.4nm/分であり、速やかにマスクパターンが埋め込まれ、早い段階で平坦なc面が成長表面となることが分かった。一方、比較例1では、マスクパターンと結晶表面内で垂直方向である[1-100]方向への成長速度は、56.8nm/分、c軸方向へは105.8nm/分と、上方への結晶成長速度が早いので、ファセット面で囲まれた結晶成長が起こり、成長初期に見られたC面も次第に小さくなることが分かった。このため、実施例1に比べて、結晶表面が平坦なC面となるのにより長い時間の結晶成長が必要となることが分かる。

【0063】

【発明の効果】本発明の3-5族化合物半導体の製造方法により、再成長層の膜厚が小さくても、平坦な結晶表面を速やかに得ることができる、埋め込み構造を有する3-5族化合物半導体の再成長が可能となるので、工業的価値が大きい。得られた3-5族化合物半導体は、静電誘導トランジスタ、電界効果トランジスタや高電子移動度トランジスタなどの3-5族化合物半導体素子、および発光ダイオード、レーザーダイオードや面発光レーザーなどの発光素子に好適に用いられる。

【図面の簡単な説明】

【図1】[11-20]方向にラインパターンを形成したマスクを用いた場合の再成長の様子を示す断面図

[(a)、(b)、(c)の順に経時変化を示す。見やすさのために一部斜線を省略した。]

【図2】本発明による再成長の様子を示す断面図

〔(a)、(b)の順に経時変化を示す。見やすさのために一部斜線を省略した。〕

【図3】埋め込み構造を用いた静電誘導トランジスタの構造例を示す図〔(a)は基板に垂直な方向から投影した図、(b)は(a)においてA-A'の線で切断した断面図、(c)は側面図を示す。〕

【図4】埋め込み構造を用いた結晶欠陥の抑制を示す断面図(見やすさのために斜線を省略した。)

【図5】埋め込み構造を用いた電界効果トランジスタの構造例を示す断面図

【図6】埋め込み構造を用いた高電子移動度トランジスタの構造例を示す断面図

【図7】埋め込み構造を用いた発光ダイオードの構造例を示す断面図

【図8】埋め込み構造を用いたレーザーダイオードの構造例を示す断面図

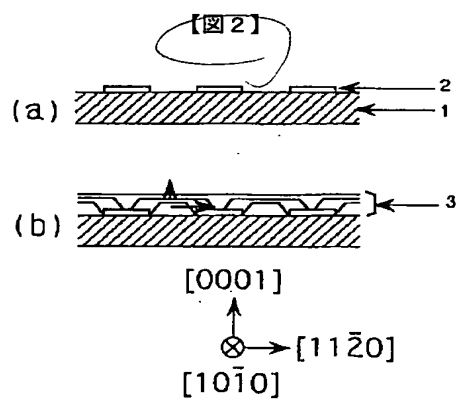
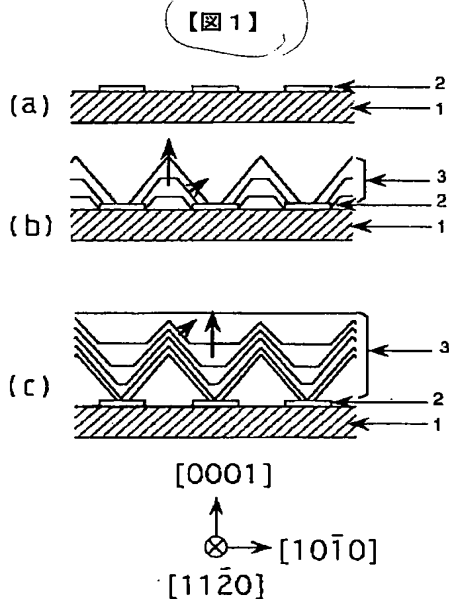
【図9】埋め込み構造を用いた面発光レーザーの構造例を示す断面図

【符号の説明】

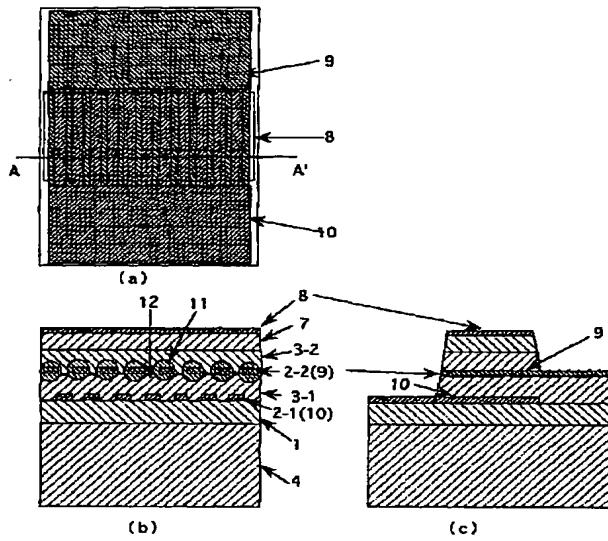
- 1... 第1の3-5族化合物半導体からなる層(下地層)
- 2... 第1の3-5族化合物半導体とも異なり、第2の3-5族化合物半導体とも異なる材料からなるパターン(マスク)
- 2-1. 第1のマスク
- 2-2. 第2のマスク
- 3... 第2の3-5族化合物半導体からなる層(再成長層)

長層)

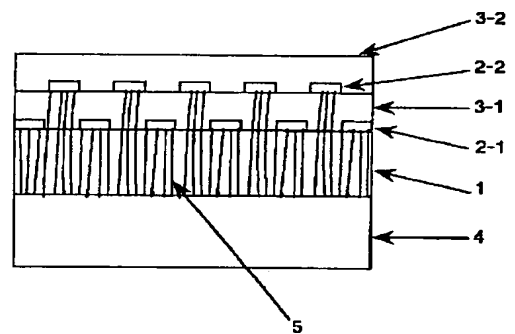
- 3-1. 第1の再成長層
- 3-2. 第2の再成長層
- 4... 基板
- 5... 転位
- 6... n⁻型活性層(例えばn⁻GaN層)
- 7... n⁺型コンタクト層(例えばn⁺GaN層)
- 8... ソース電極
- 9... ゲート電極
- 10... ドレイン電極
- 11... 電荷空乏層
- 12... 電子走行チャンネル
- 13... n⁻型AlGaN層
- 14... ヘテロ接合界面
- 15... n⁻型GaN層
- 16... InGaN発光層
- 17... AlGaN保護層
- 18... p型GaN層
- 19... n電極
- 20... p電極
- 21... 下部光導波層
- 22... 上部光導波層
- 23... 下部クラッド層
- 24... 上部クラッド層
- 25... 下部反射層
- 26... 上部反射層
- 27... 発光層
- 28... 電流狭窄層



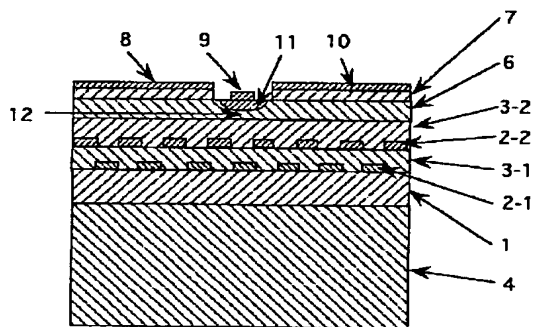
【図3】



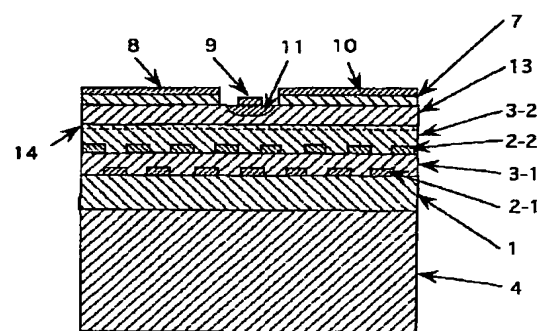
【図4】



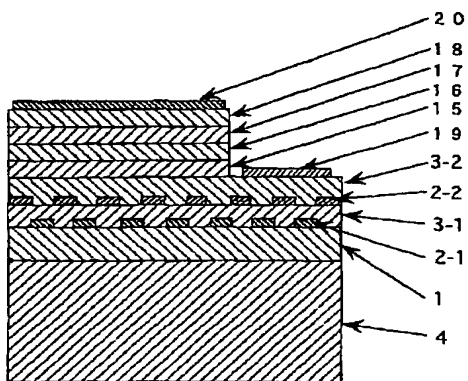
【図5】



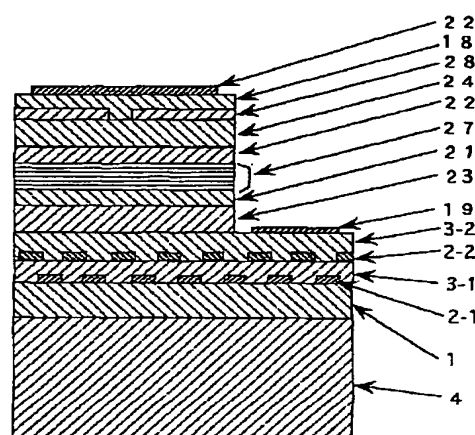
【図6】



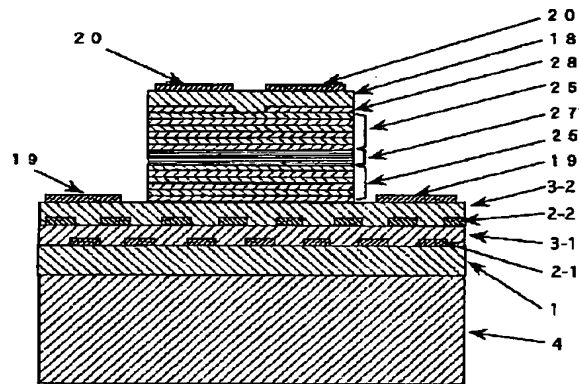
【図7】



【図8】



【図9】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 29/80

33/00

H 0 1 S 3/18

識別記号

F I

H 0 1 L 29/80

V

(72) 発明者 松嶋 秀忠

愛知県名古屋市西区又穂町2-1 又穂住
宅 2-605

(72) 発明者 前田 尚良

茨城県つくば市北原6 住友化学工業株式
会社内

(72) 発明者 小野 善伸

茨城県つくば市北原6 住友化学工業株式
会社内